

УДК 621.391.82.016.35

Е. Сандыбаев*, О. Туенбаев, А.К. Иманбаева

НИИ экспериментальной и теоретической физики,
 Казахский национальный университет имени аль-Фараби, Республика Казахстан, г. Алматы
 *E-mail: sandybaev_1990@mail.ru

Реализация декодера Витерби в FPGA

Передача данных по беспроводным каналам страдает от ослабления, искажения, помех и шумов, которые влияют на способность приемника получать правильную информацию. Сверточное кодирование с декодированием Витерби является мощным методом для прямого исправления ошибок. Он имеет широко развернутую систему для улучшения ограниченных возможностей каналов связи во многих беспроводных сетях. В статье представлен результат реализации декодера Витерби в Spartan XC3S400A программируемой вентильной матрице с ограничением длины 3 и с кодовой скоростью 1/2. Декодер Витерби совместим со многими общими стандартами, такими как DVB, 3GPP2, 3GPP LTE, IEEE 802.16, Hiperlan и Intelsat IESS-308/309.

Ключевые слова: сверточный кодер, декодер Витерби, FPGA, Spartan XC3S400A FPGA, путь памяти, регистр обмена.

E. Sandybaev, O. Tuenbayev, A.K. Imanbayeva
 Implementation of the Viterbi decoder in FPGA

It is well known that data transmissions over wireless channels are affected by attenuation, distortion, interference and noise, which affect the receiver's capacity to receive correct information. Convolutional encoding with Viterbi decoding is a powerful method for forward error correction. It has been widely deployed in many wireless communications systems to improve the limited capacity of the communication channels. In this article, we present a Spartan XC3S400A field-programmable gate array implementation of Viterbi Decoder with a constraint length of 3 and a code rate of 1/2. The Viterbi Decoder is compatible with many common standards, such as DVB, 3GPP2, 3GPP LTE, IEEE 802.16, Hiperlan, and Intelsat IESS-308/309.

Keywords: convolutional encoder, Viterbi decoder, FPGA, Spartan XC3S400A FPGA, path memory, register exchange.

Е. Сандыбаев, О. Туенбаев, А.К. Иманбаева
 FPGA платформасында Витерби декодерін іске асыру

Сымсыз каналдармен мәліметтердің берілуі кезінде қабылдағыштың дұрыс ақпаратты қабылдау қабілетінің әлсіреуден, ауытқудан, кедергілер мен шулардан зардап шегетіні белгілі. Витерби қайта кодтауымен сверткалық кодтау қателерді тікелей түзетудің пәрменді әдісі. Ол көптеген сымсыз желілердегі байланыс каналдарының шектеулі мүмкіндіктерін жақсарту үшін қажет кең таралған жүйеге ие. Мақалада Spartan XC3S400A программаланатын вентильді матрицасындағы ұзындық шектелуі 3 және кодтық жылдамдығы 1/2 Витерби декодерінің іске асырылуын көрсетілген. Витерби декодер көптеген жалпы стандарттарға сәйкес келеді, мысалға DVB, 3GPP2, 3GPP LTE, IEEE 802.16, Hiperlan және Intelsat IESS-308/309.

Түйін сөздер: сверткалық кодер, Витерби декодері, FPGA, Spartan XC3S400A FPGA, жад жолы, айырбас регистрі.

Введение

С ростом использования цифровой связи наблюдается повышенный интерес к высокоскоростным декодерам Витерби, спроектированным в одном чипе. В настоящее время возможна реализация декодера Витерби с

пропускной скоростью порядка Гигабит в секунду, без использования процессоров или памяти вне чипа [1]. В данных декодерах используется сверточное кодирование с декодированием, который имеет широко развернутую систему для улучшения ограниченных возможностей каналов связи во многих

беспроводных сетях. Алгоритм Витерби является асимптотически оптимальным алгоритмом декодирования для сверточных кодов и широко применяется для блочных кодов декодирования с целью прямого исправления ошибок при передаче данных по беспроводным каналам. Он имеет то преимущество, что имеет фиксированное время декодирования.

Декодирование Витерби имеет то преимущество, что он имеет фиксированное время декодирования [2-3] и хорошо подходит для реализации аппаратного декодера. Целью

данной работы является осуществление декодера Витерби на целевой платформе. В качестве целевой платформы берётся Spartan XC3S400A, программируемая вентильная матрица с ограничением длины 3 и с кодовой скоростью 1/2.

Декодер Витерби

Система декодирования Витерби состоит из трех основных элементов: сверточного кодера, канала связи и декодера Витерби (рис.1) [2].



Рисунок 1 – Система декодирования Витерби

Программируемая пользователем вентильная матрица

Программируемая пользователем вентильная матрица (FPGA) – это полупроводниковый прибор, содержащий программируемые логические компоненты и коммутационные устройства. Логические компоненты могут быть запрограммированы для дублирования функциональности основных логических элементов, таких, как И, ИЛИ, исключающее ИЛИ, НЕ и более сложные комбинационные функции, таких, как декодеры или математические функции. В большинстве FPGA логические компоненты могут быть простыми троичными триггерами или более полными блоками

памяти. В данной работе использована усовершенствованная матрица семьи Spartan-3A XC3S400A FPGA фирмы Xilinx. Это эффективные и недорогие цифровые устройства, способные функционировать как самостоятельно, так и в составе микропроцессорной системы [4]. На рисунке 2 представлена блок-схема оценочной платы Spartan-3A.

На рисунке 3 показана аппаратная схема декодера Витерби: сверточный кодер выполняется с использованием оборудования XOR Gate. 8 бит с DIP переключателей дается на вход регистра сдвига и используется для предоставления этих данных на выходе кодера через FPGA SPARTAN с мультиплексором 2:1.

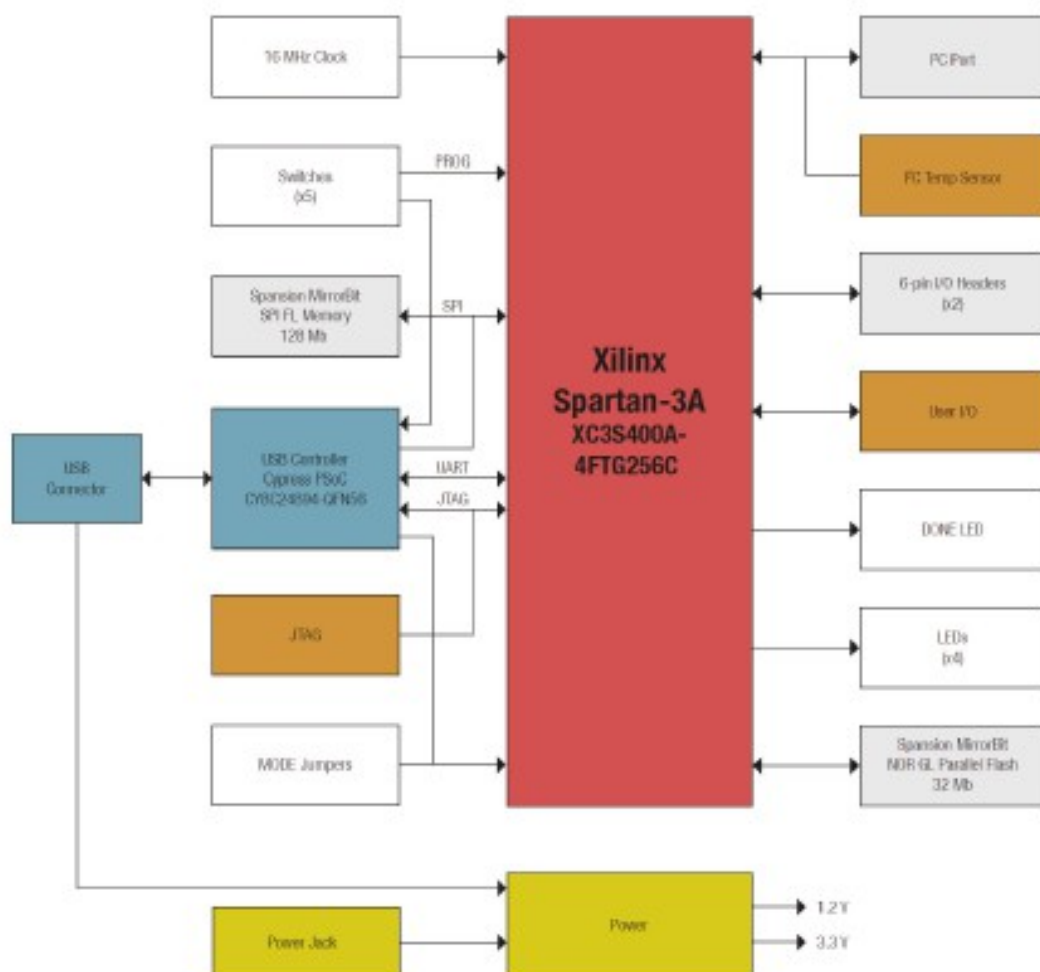


Рисунок 2 – Блок-схема оценочной платы Spartan-3A

SYSTEM BLOCK DIAGRAM

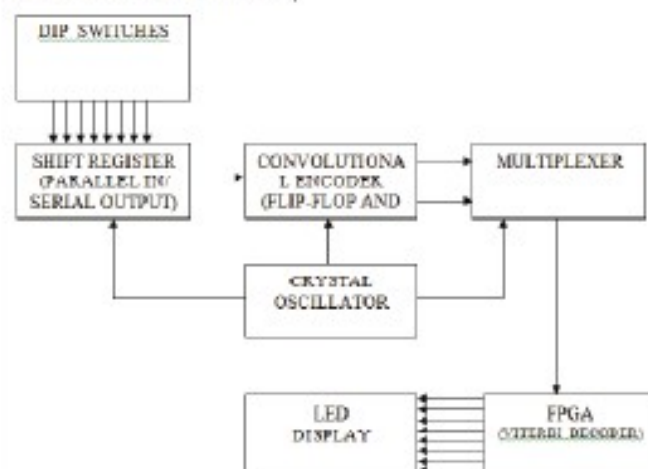


Рисунок 3 – Блок-схема системы

Алгоритм проектирования декодера Витерби

Алгоритм Витерби включает в себя вычисление меры подобия (или расстояния), между сигналом, полученным в момент времени t_k , и всеми путями решетки, входящими в каждое состояние в момент времени t_k . Здесь не рассматриваются те пути решетки, которые, согласно принципу максимального правдоподобия, заведомо не могут быть оптимальными. Если в одно и то же состояние входят два пути, выбирается тот, который имеет лучшую метрику, такой путь называется выживающим. Отбор выживающих путей выполняется для каждого состояния, т.е. декодер углубляется в решетку, принимая решения путем исключения менее вероятных путей. Наиболее вероятный путь через решетку будет максимизировать метрику [3]. Для этого необходимо вычислять расстояния Хемминга для каждой ветви формирования кодированного слова. Преимущество декодирования Витерби, по сравнению

с с другими методами, заключается в том, что его сложность не является функцией количества символов в последовательности кодовых слов [5]. Алгоритм проводится в три этапа (рис. 4):

1 этап. Взвешивание решетки, т. е. вычисление метрики состояний.

2 этап. Рекурсивное вычисление кратчайших путей к времени n , с точки зрения кратчайшего времени $n-1$. На этом этапе решения используются для рекурсивного обновления путей выживших сигналов. Данный шаг осуществляется блоками сложения, сравнения и выбора (ACS).

3 этап. Рекурсивное нахождение кратчайшего пути, ведущего к каждому состоянию решетки с помощью решения на шаге 2. Кратчайший путь называется выжившим путем для этого состояния и процесс называется декодированием выживших путей. Наконец, если все выжившие пути проследить во времени, они сливаются в уникальный путь, который и является путем сигнала [6].

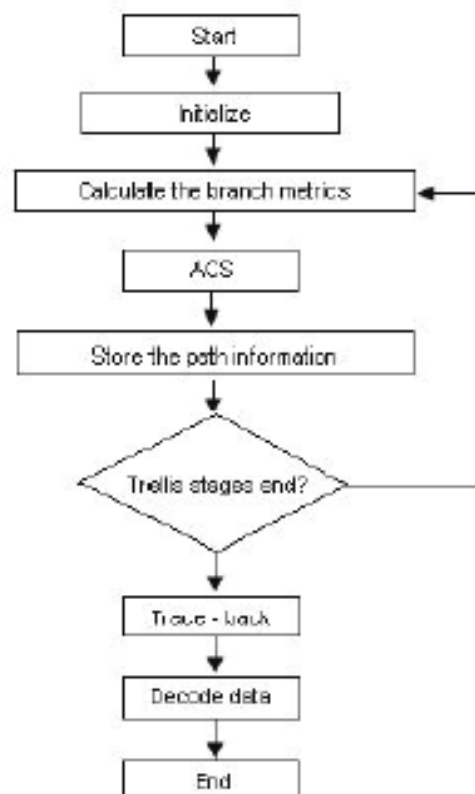


Рисунок 4 – Алгоритм проектирования декодера Витерби

После проектирования декодера Витерби в Spartan XC3S400A была проведена проверка оборудования, для этого подавался поток информации на 8-битный двоичный вход сверточного кодера через DIP-переключатели, которые в свою очередь производят 16-битное кодирование на выходе:

выход DIP-переключателя: 0 1 1 0 1 0 0 0

выход сверточного кодера: 00 11 00 01 01 11 10 01

Поток информации с выхода сверточного кодера подавался на FPGA с мультиплексором

1:2, чтобы FPGA выполнял треллис декодирования этих данных за счет использования метода максимального правдоподобия и чтобы восстанавливал выход, как это было передано изначально:

выход FPGA: 0 1 1 0 1 0 0 0.

Результаты проверки

Декодер был смоделирован с использованием Xilinx ISE. В таблице приведены результаты использования устройства.

Таблица 1

V Project Status			
Project File:	V.isc	Current State:	Programming File Generated
Module Name:	Viterbi	• Errors:	No Errors
Target Device:	xc3s400a-5ft256	• Warnings:	48 Warnings
Product Version:	ISE 10.1 - WebPAC K	• Routing Results:	All Signals Completely Routed
Design Goal:	Balanced	• Timing Constraints:	All Constraints Met
Design Strategy:	Xilinx Default (unlocked)	• Final Timing Score:	0 (Timing Report)

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	98	7,168	1%
Number used as Flip Flops	97		
Number used as Latches	1		
Number of 4 input LUTs	182	7,168	2%
Logic Distribution			
Number of occupied Slices	133	3,584	3%
Number of Slices containing only related logic	133	133	100%
Number of Slices containing unrelated logic	0	133	0%
Total Number of 4 input LUTs	185	7,168	2%
Number used as logic	182		
Number used as a route-thru	3		
Number of bonded IOBs	14	195	7%
Number of BUFGMUXs	2	24	8%

Моделирование волн декодера Витерби

Декодер выполняет декодирование с задержкой примерно в 6 нс. Функциональная проверка декодера для коррекции ошибок была сделана с помощью испытательного стенда и

результат моделирования в форме волны (рисунок 5), который показывает, что выходы без ошибок и выход с ошибками при использовании декодера Витерби являются идентичными.

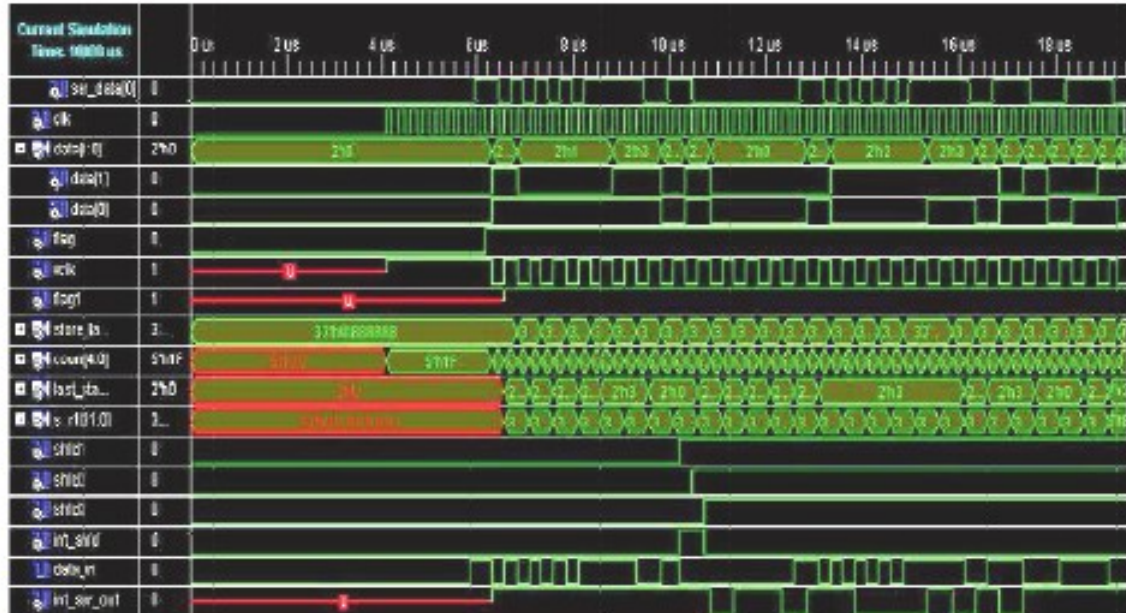


Рисунок 5 – Моделирование волн декодера Витерби

Заключение

Использование корректирующих ошибок кодов оказалось эффективным способом для преодоления коррозии данных в цифровых

каналах связи. Реализация декодера Витерби с ограничением длины 3 и кодовой скоростью $\frac{1}{2}$ показала, что он может быть эффективно реализован на коммерчески доступных FPGA платформах.

References

- 1 Bernard S. Tsifrovaya svyaz'. Teoreticheskiye osnovy i prakticheskoye primeneniye. – 2-ye izd. – M.: Izdatel'skiy dom «Vil'yams», 2003. – 1104 s.
- 2 Viterbi A.D., Omura Dzh.K. Printsipy tsifrovoy svyazi i kodirovaniya. – M.: Radio i svyaz', 1982. – 536 s.
- 3 Morelos-Saragosa R. Iskusstvo pomekhoustoychivogo kodirovaniya. Metody, algoritmy, primeneniya. – M.: Tekhnosfera, 2005. – 320 s.
- 4 Inyup Kang and Alan N. Wilson. Low Power Viterbi Decoder for CDMA Mobile Terminal // IEEE Journal of Solid State Circuits. – 2010. – Vol 33. – p.p. 473-481
- 5 Viterbi A. J. Error Bounds for Convolutional Codes and an Asymptotically Optimum Decoding Algorithm//IEEE Trans. Inform. Theory. – 1967. –Vol. IT-13. – pp. 260-269.
- 6 Muder D.J. Minimal trellises for Block codes // IEEE Transaction Information Theory. – 2009. – Vol34. – P.p.1049-1053.